



Document Summary



New
Search



Help

[Preview Claims](#)

[Preview Full Text](#)

[Preview Full Image](#)

Email Link: 

Document ID: J P 2001-257358 A2

Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Assignee: TOSHIBA CORP

Inventor: TSUCHIAKI MASAKATSU
MIZUSHIMA ICHIRO

US Class:

Int'l Class: H01L 29/786 A

Issue Date: 09/21/2001

Filing Date: 03/13/2000

Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method, which has the structure of an ultra high-speed double-gate SOI-MOSFET and can avoid the increase of its manufacturing cost and moreover satisfactorily receiving the increase of the mobility of its charged particles due to the double-gate SOI-MOSFET reduced to a thin film.

SOLUTION: After forming in a single-crystal silicon substrate a cavity 102 having an arbitrary shape, and while keeping intact the cavity portion, a lower gate insulation film 201 and the substance to be changed into a lower gate electrode 202 are formed on the inner wall surface of the cavity. Thereafter, the single-crystal silicon layer, present in the upper portion of the cavity, is processed in the form of an element region. At this time, an island-form single-crystal silicon layer constituting the element region is supported by the substance, to be changed into a lower gate electrode. Then, after processing and forming a first gate electrode on the element region, by using the first gate electrode as a mask, an impurity is so introduced selectively into the substance to be changed into the lower gate electrode as to be passed through the silicon layer which constitutes the element region. As a result, the substance to be changed into the lower gate electrode is changed into an insulation layer in the region, other than the region masked by the first gate electrode.

(C)2001,JPO

Copyright © 1993-2000 Aurigin Systems, Inc.
[Legal Notices](#)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-257358
(P2001-257358A)

(43)公開日 平成13年9月21日(2001.9.21)

(51)Int.Cl. ⁷	識別記号	F I	テ-コ-ト*(参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 7 N 5 F 1 1 0 6 2 6 C

審査請求 未請求 請求項の数10 O L (全 8 頁)

(21)出願番号 特願2000-69183(P2000-69183)

(22)出願日 平成12年3月13日(2000.3.13)

(71)出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72)発明者 土明 正勝

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 水島 一郎

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74)代理人 100081732

弁理士 大胡 典夫 (外2名)

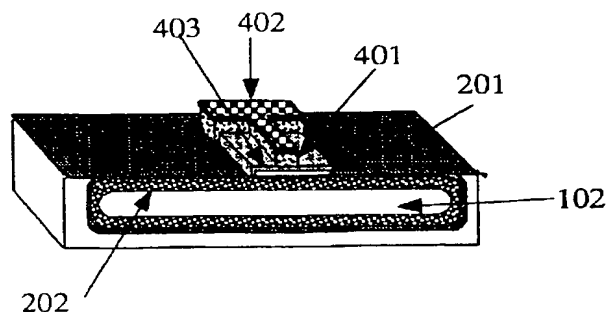
Fターム(参考) 5F110 AA16 EE02 EE09 EE30 EE41
EE45 FF03 FF26 GG02 GG12
NN62 QQ11

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 薄膜化したダブルゲートSOI-MOSFETによる移動度の増大を享受しつつ、しかも、製造コストの増大を回避できる、超高速ダブルゲートSOI-MOSFET構造、及び、同半導体装置の製造方法を提供する。

【解決手段】 単結晶シリコン基板内に任意形状の空洞102を形成し、この空洞内壁面に、この空洞部を保ったまま、下部ゲート絶縁膜201、および、下部ゲート電極202となるべき物質を形成した後、空洞上部の単結晶シリコン層を素子領域形状に加工する。このとき、この素子領域をなす島状単結晶シリコン層は下部ゲート絶縁膜、下部ゲート電極となる物質により支持する。次いで、素子領域上に第一のゲート電極を加工形成し、これをマスクとして素子領域シリコン層を貫通して下部ゲート電極物質に選択的に不純物を導入し、第一のゲート電極によってマスクされた領域以外の下部ゲート電極物質を絶縁層に変化させる。



1

【特許請求の範囲】

【請求項 1】 単結晶シリコン層チャネル領域と、その直上に形成された第一のゲート絶縁層と第一のゲート電極、単結晶シリコン層チャネル領域直下の第一のゲート電極に相対する位置に形成された第二のゲート絶縁層と第二のゲート電極、および、単結晶シリコン層チャネル領域と第二のゲート電極を直下の支持基板から分離する空洞を有することを特徴とする MOSFET 半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、複数の上記 MOSFET 半導体装置が連結した同一の空洞で支持基板から分離されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、それぞれその上部に請求項 1 記載の MOSFET が形成された複数の空洞を有することを特徴とする半導体装置。

【請求項 4】 請求項 1 記載の半導体装置において、上記第二のゲート絶縁層がシリコン窒化膜であることを特徴とする半導体装置。

【請求項 5】 請求項 1 記載の半導体装置において、上記第二のゲート電極がポリシリコン膜であることを特徴とする半導体装置。

【請求項 6】 請求項 1 記載の半導体装置製造方法において、上記空洞はシリコン基板に複数のトレンチを形成しこれを熱処理して形成することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 記載の半導体装置製造方法において、第二のゲート電極材を空洞内壁に堆積し、これに第一のゲート電極をマスクとして不純物を導入して第二のゲート電極を形成することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 7 記載の半導体装置製造方法において、第二のゲート電極はポリシリコンであり、上記不純物は酸素であることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 7 記載の半導体装置製造方法において、第二のゲート電極材の一部が不純物によって絶縁体に変化することを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 7 記載の半導体装置製造方法において、第二のゲート電極材の一部が素子間配線として利用されていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、大規模集積化半導体装置、特にシリコンーオンーインシュレータ (SOI) 構造の超高速電界効果型トランジスタ (以下 SOI-MOSFET と略記する) 及びその製造方法に関する。

【0002】

2

【従来の技術】 高周波移動体通信の目覚ましい普及に代表されるように、超高速高機能半導体装置の実現により社会生活の情報化が著しく進行している。これに伴い、これらに用いられる個々の半導体素子の微細化、高速化、大規模集積化、ワンチップ化に対する要求は時を追って増大している。しかし、これらの半導体素子の主要な構成要素である MOSFET の微細化を考えた場合、これには様々な困難が伴う。例えば、MOSFET のチャネル長 (即ちゲート電極の長さ) の縮小に伴いしきい値電圧が下降する短チャネル効果や、従来の局所的酸化技術では酸化領域が素子分離領域からはみ出してしまいうため、微細な素子分離構造が形成できないことなどである。

【0003】 この様な問題に対して、シリコンーオンーインシュレータ (SOI) 構造への LSI 回路の製造が提案されている。特に、絶縁体上に形成されたシリコン層の膜厚を薄くしていくことで、ソース・ドレイン領域に隣接したエクステンション部の厚さを制限し、この部分の電界分布を変化させ、MOSFET 装置の微細化に伴う短チャネル効果を抑制できる。さらに、浅いトレンチによる素子分離 (STI) 技術を用いることで、薄膜 SOI 装置の素子分離は、素子形成領域以外を単にエッチング除去することで、容易に達成される。加えて、シリコン層の膜厚をチャネル部を伝導する電子の波動関数のチャネル垂直方向における広がり程度以下に薄くすることで、シリコン層中の導伝帯の電子状態のエネルギー縮退が解除され、チャネル部には、有効質量の小さな、即ち、高速の電子のみが誘起され、チャネル部の移動度が上昇し、MOSFET 素子の高速化が達成されることが知られている。[S. Takagi, et al., Jpn. J. Appl. Phys., Vol. 37, p. 1289 (1998)]

さらに、薄いチャネルシリコン層を上下からゲート絶縁膜を介してゲート電極ではさみこむいわゆるダブルゲート SOI-MOSFET 構造をとることで、シリコン層の上下界面がそれぞれチャネルとして機能するようになり、また上下のチャネル領域に形成される量子井戸の干渉効果により上記で説明したシリコン層中の導伝帯の電子状態のエネルギー縮退が容易に解除され、即ち、高速の電子のみが誘起され、チャネル部の移動度が上昇し、MOSFET の駆動力は二倍以上の向上が見込まれる。

[M. Shoji et al., J. Appl. Phys. p. 2722, (1999)] 加えて、この構造は短チャネル効果の抑制に対してきわめて有効でゲート長 20nm 以下の素子の実現も可能である。[X. Huang, et al., IEDM 99, p67 (1999)]

しかしながら、このようなダブルゲートシリコンーオンーインシュレータ (SOI) 構造の実現には以下のようなさまざまな問題が生じてくる。

50

3

【0004】第一に、SOI構造を実現するためには、従来SOI waferを用いているが、SOI waferはbulk silicon waferに比してコスト高のうえ、wafer作成に伴う結晶欠陥の混入を免れ得ない。SOI waferは汎用であるがゆえに、wafer上どの部位に結晶欠陥が存在しても、この部位に重要な素子が形成される可能性は常に存在する。よってwafer全面にわたって結晶欠陥の生成を厳しく制御する必要が生じSOI waferの製造を技術的にも困難なものとしている。

【0005】第二に、薄い単結晶シリコン層を上下（裏表）から正確にはさみこむゲート電極の形成が困難である。従来、このような構造を達成するためには、通常のシリコンwafer上に片側の第一のゲート電極を形成した後、この上にCVD酸化膜などの絶縁体を堆積し、さらにこれを平坦化し、加えてこのwaferを上下反転して、ゲートを形成した第一の半導体主面を下にして第二の支持シリコンwaferに接着し、引き続き、第一のシリコンwaferを削り薄膜化し、薄いシリコン層を形成し、最後にこの上の第一のゲート電極に
20 対応する部分に対を成す第二のゲート電極を形成する。

【0006】しかし、このような手法では、ただでさえ作成の難しい貼り合わせSOI waferを素子が作り込まれたwaferを用いて製造していることになり、均一で薄いシリコン層を得ることは難しい。均一で薄いシリコン層はチャンネル層として働くのでこの膜圧を制御することは極めて重要である。また貼り合わせに伴う結晶欠陥の混入や、微粒子やガスの接合面への封入などに伴う不具合も深刻なものとなる。さらに致命的なのは、埋め込まれた第一のゲート電極にきわめて正確に第二のゲート電極を配置形成しなければならず、位置合わせ等lithography工程に過度の負担がかかる。さらに、この困難は素子の微細化を追って増大することは言うまでもない。

【0007】このような困難を回避するために、まずSOI wafer上のシリコン層を薄い壁上に垂直加工し、このシリコンの壁を覆うようにCVDポリシリコンを形成した後、これを垂直方向に、シリコン壁の中央部を跨ぐ部分のみを残してRIE加工除去して、シリコン壁の裏表を跨ぐゲート電極を形成するという手法も試
40 みられている。

【0008】しかし、このような手法では、まずSOI wafer上のシリコン層を薄い壁上に加工することが困難である。特に薄いシリコンチャンネル層を壁上に形成するためにはシリコン層膜圧に相当するきわめて微細なRIE加工マスクを使用しなければならずlithography工程に過度の負担がかかることは以前と同様である。さらにシリコンチャンネル層がRIEに直接晒されているため、ここに結晶欠陥や不純物が混入する可能性が極めて高い。また、加工形成できるシリコン層薄壁
50

4

の高さ（即ち、MOSFETの幅）はSOI waferのシリコン層膜圧、あるいはRIE加工技術で規定されており、任意の幅のMOSFETを形成することができない。加えて、シリコン層薄壁をまたぐゲート電極の加工も困難である。垂直にかみそりのように屹立したシリコン層薄壁のような非常に起伏に富んだ構造にきわめて微細なゲート電極加工用レジストパターンを形成することは難しく、RIE加工除去工程も、シリコン層薄壁側部でのいわゆる側壁残滓を完全に排除するために、きわめて高選択比のRIE工程を長時間施さなければならず結晶欠陥や不純物が混入する可能性が増大するのみならず、throughputも低下する。この事情は、いわゆるダマシーン工程によりゲート構成部分を選択的にRIE加工除去する場合も同様であることはいうまでもない。また、垂直に屹立したソース／ドレイン領域に電氣的コンタクトをとることも難しい。

【0009】

【発明が解決しようとする課題】以上詳しく説明した通り、薄膜化したダブルゲートSOI-MOSFETにより短チャネル効果を抑制し、さらにチャネル移動度の増大を利用して超高速SOI-MOSFETを形成しようとするとその製造工程は極度に複雑化するという困難があった。

【0010】本発明は、上記のような、従来技術の欠点を除去し、薄膜化したダブルゲートSOI-MOSFETによる移動度の増大を享受しつつ、しかも、製造コストの増大を回避できる、超高速ダブルゲートSOI-MOSFET構造、及び、同半導体装置の製造方法を提供しようとするものである。

【0011】

【課題を解決するための手段】上記課題を解決するために、本発明は、単結晶シリコン基板内に任意形状の空洞を形成し、この空洞内壁面に、この空洞部を保ったまま、下部ゲート絶縁膜、および、下部ゲート電極となるべき物質を形成した後、空洞上部の単結晶シリコン層を素子領域形状に加工する。このとき、この素子領域をなす島状単結晶シリコン層は下部ゲート絶縁膜、下部ゲート電極となる物質により支持する。次いで、素子領域上に第一のゲート電極を加工形成し、これをマスクとして素子領域シリコン層を貫通して下部ゲート電極物質に選択的に不純物を導入し、第一のゲート電極によってマスクされた領域以外の下部ゲート電極物質を絶縁層に変化させることを含んでいる。加えて、本発明は、絶縁層にならなかった下部ゲート電極部分を上部に形成された第一のゲート電極とともにダブルゲートSOI-MOSFET構造のゲート電極として利用すると同時に、絶縁層となった下部ゲート電極物質およびこの下部に残存する空洞部を素子の力学的支持、および、電氣的素子分離に利用することを含んでいる。

（作用）単結晶シリコン基板に微細なtrenchを多

5

数形成しこれを水素雰囲気中で熱処理することで、シリコン原子の自己拡散作用により、微細な trench は変形し、シリコン基板内に用途の任意形状の空洞が形成される。空洞の上部には薄い単結晶のシリコン層が形成される。複雑な SOI 基板生成工程を経る必要がないので、結晶欠陥のない薄い単結晶シリコン層を必要領域に簡便に形成することが可能であり、SOI 基板を用いることによるコスト上昇、結晶欠陥の混入を防止し、高い歩留まりを確保できる。

【0012】シリコン内空洞は区分けされた形で形成することが可能であり、このそれぞれの空洞に通じる穴を形成し、ここから CVD 法などの方法で下部ゲート電極構成物質（たとえばポリシリコン）を形成できる。また空洞は任意の形状に形成できるので、個々の空洞の形状を調節して、その上部単結晶シリコン層に形成されるべき素子形状に応じて、この素子を用途の力学的強度で保持するように設計できる。

【0013】内部空洞、および、下部ゲート電極構成物質の形成後、素子領域の形成から上部ゲート電極の形成までは、従来の製造方法になら工程を追加することなく遂行可能となる。

【0014】第一のゲート電極をマスク材として下部電極物質に不純物（たとえば、酸素）を導入（イオン注入）しこれを絶縁体化する。この絶縁体化は酸素を導入されたポリシリコン層を不活性雰囲気中で熱処理することで酸素導入部でのみ選択的に進行する。このため、絶縁体化されなかった下部電極物質領域に上部ゲート電極と自己整合的に下部ゲート電極が形成される。この結果、従来の製法で要求されるような高精度の上下ゲート電極間の alignment は必要なくなる。また、チャネルを形成するシリコン層は薄いのでこれを貫通して下部電極構成物質に不純物を導入することは容易である。不純物導入に晒されている領域はソース／ドレイン領域であり、チャネル部分はこれに該当しないので不必要な結晶欠陥はチャネル部分には導入されない。よってチャネル部の高移動度を確保できる。また酸素の導入により、若干の格子間酸素をソース／ドレイン領域に残存させることで転移の発生伝播を抑制できる。

【0015】第一のゲート電極をマスク材として下部電極物質に不純物（たとえば、酸素）を導入しこれを絶縁体化することにより、下部ゲート電極の加工と素子分離が同時に完成される。

【0016】下部ゲート電極構成物質を形成するにあつたて、内部空洞を埋め尽くさずにこの空洞を残存させることにより、下部電極構成物質が絶縁体に変性する（たとえばポリシリコンが酸化される）時に体積変化を伴うとしてもこの変化を内部空洞が吸収する。よって体積変化が上部シリコン層に歪を与えることを抑止できる。

【0017】下部ゲート電極構成物質を形成するにあつたて、内部空洞を埋め尽くさずにこの空洞を残存させる

6

ことにより、この空洞は低誘電率層として活用される。よって素子スピードの更なる向上が見込まれる。

【0018】下部ゲート電極は上部ゲート電極とコンタクト形成のための引き出し部分まで含めて同形状に加工される。このため上下ゲート電極の電氣的接続は上部ゲート電極へのコンタクトホール形成時に下部ゲート電極に達するまで RIE 加工を施せば自動的に完了する。

【0019】かくて、短チャネル効果のない、高移動度の超高速ダブルゲート (Double-Gate) SOI MOSFET が簡便に実現される。

【0020】

【発明の実施の形態】（実施例）以下、本発明の一実施例を図面を参照して説明する。本発明は、廉価なバルクシリコン基板上に、ダブルゲート SOI 構造の超高速 MOSFET を形成する簡略な製造工程を具現する。

【0021】図 1-a は、シリコン半導体基板 100、および、この用途の領域に格子状に形成製された微細なトレンチ 101、を示す断面鳥瞰図である。微細なトレンチは RIE のような公知の手法のうち効果的な方法により形成できる。

【0022】図 1-b は、図 1-a の構造をたとえば水素雰囲気中で 1100℃ で熱処理した結果得られる内部空洞 102 を示す断面鳥瞰図である。微細なトレンチ 101 は熱処理により変形し融合することで内部空洞 102 を形成する。内部空洞 102 の上部天井板として薄い単結晶シリコン層 103 が形成される。この厚さ t はトレンチ 101 の格子間隔 d 、トレンチ径 r 、と $t = 2.7.83 r^3 / d^2$ という関係になることが知られている。[T. Sato, et. al., IEDM-99, p 517, (1999)] これらのパラメータを制御して用途の膜厚の単結晶シリコン層 103 を得ることができる。また内部空洞形成後例えば熱酸化工程および HF 剥離を通じて、このシリコン層を任意の膜厚、例えば 100Å、に薄膜化できることはいうまでもない。最後に、内部空洞に通ずる開口 104 を RIE のような公知の手法のうち効果的な方法により形成する。

【0023】図 2 は、図 1-b の構造に開口部 104 を通じて、下部ゲート絶縁膜として、例えば熱酸化膜 201 を例えば 50Å、下部ゲート電極構成物質 202、例えば導電性不純物を混入したポリシリコンを例えば 1000Å を例えば CVD (Chemical Vapor Deposition) 法を用いて内部空洞 102 の内壁面に内部空洞を完全に埋め尽くさず形成した後を示す断面鳥瞰図である。CVD によるポリシリコンの堆積は内壁面に沿って均一 (conformal) に進むのでこのような構造は容易に達成できる。残存する内部空洞の幅は少なくとも、上部ポリシリコンの酸化に伴う体積膨張後にも空洞が埋め尽くされないようにする。この場合 1000 Å のポリシリコンが酸化されることにより約 2200 Å の熱酸化膜が形成されるので残

7

存内部空洞の幅は1200Å以上あることが望ましい。
また、開口部104の周囲にもCVDによりポリシリコンが形成されるが、開口部104の寸法を調整して目の厚さのポリシリコンが形成された時点でこの開口部が閉じられるようにしておけば都合がよい。例えば開口部104の径を2000Åとしておくことで1000Åのポリシリコンが内壁面に沿って形成された時点で自動的に開口部が閉じられる。これにより、必要以上の膜厚が内壁面に形成されるのを防ぐことができるのみならず、図示はしていないが複数の空洞に径の異なる開口部を設けておけば、それぞれその径に応じて異なる膜厚のポリシリコンがそれぞれの内壁に1度のCVD工程により堆積することもできる。CVD法の場合、上部単結晶シリコン層103の上にもポリシリコンが形成されるがこれは、RIEのような公知の手法のうち効果的な方法により容易に除去できることは言うまでもない。内壁へのゲート電極材の形成は必ずしもCVD法によって行われなくとも、めっき法などを用いて金属物質を堆積することも可能である。

【0024】図3は、図2の構造にたいし、上部単結晶シリコン層103を素子領域が形成される島状領域301に加工形成した後の断面鳥瞰図を示す。素子領域の加工は、下部ゲート熱酸化膜201が素子領域以外の部分で露出するまでLithography法およびRIE法のような公知の手法のうち効果的な方法により単結晶シリコン層103を除去することで容易に達成できる。

【0025】図4は、図3の構造に対し、単結晶シリコン素子領域301上のチャネル領域302を含む領域に上部ゲート電極401、上部ゲート電極上のマスク材402を加工形成した後の断面鳥瞰図を示す。上部ゲート電極401と単結晶シリコン素子領域301間には上部ゲート絶縁膜403が形成されている。上部ゲート絶縁膜403は上部単結晶シリコン層103を例えば熱酸化し、例えば50Åの酸化膜を形成することで得られる。

このとき、開口部104を封止する下部ゲート電極材の表面にも酸化膜が形成され、内部空洞は下部ゲート電極材202、酸化膜により完全に封鎖される。この後、上部ゲート電極401、例えば導電性不純物を混入したポリシリコン、とマスク材402、例えばシリコン酸化膜を、例えば1000Å、2000Åそれぞれ例えばCVD法を用いて堆積し、Lithography法およびRIE法のような公知の手法のうち効果的な方法により所望のゲート電極形状に加工形成することで実現される。上部ゲート電極は電氣的コンタクトを設けるために単結晶シリコン素子領域301以外の領域にも引き出されている。また、図示はしないが、ゲート電極の局所的電気接続を素子間で行いたい場合は上部ゲート電極は複数の素子間にまたがって形成されることもある。必要に応じて、ゲート電極の側部にゲート側壁が形成されていてもよいことは言うまでもない。

8

【0026】引き続き、図5に示すように上部ゲート電極401、とマスク材402、を利用して、図4に示される構造体にたいして、酸素501をイオン注入する。注入量は1000Åのポリシリコンを酸化するのに必要なdose、この場合 $1 \times 10^{18} \text{ cm}^{-2}$ 、に設定される。イオン注入のエネルギーは薄いシリコン層301のソース/ドレイン領域303、304を貫通し、下部電極物質202に達するように調節する。また酸素イオンはマスク材402で遮られ、上部ゲート電極401、その直下の単結晶シリコンチャネル302、下部ゲート電極材には達しない。この結果、上部ゲート電極401の形状に応じて、酸素の注入されない下部ゲート電極領域が自動的に形成される。ソース/ドレイン領域303、304には結晶欠陥が生成されるが、後の熱処理でチャネル領域に残存する単結晶を種として再結晶化され欠陥は回復される。また結晶欠陥が残存していても、チャネル部分が単結晶であれば完全空乏化型のSOI-MOSFETでは接合リークを心配する必要はない。また、若干の酸素がソース/ドレイン領域に残存することで、転移の伝播が抑制されるという利点が生まれることも付記しておく。さらに、イオン注入プロファイルを調整するためにこの構造全体にバッファ層となる物質を堆積し、このバッファ層越しに酸素注入を行うこともできることは明らかである。

【0027】さらに、図6に示すように、図5の構造体を不活性雰囲気、例えばアルゴン雰囲気中で例えば1350℃で熱処理し、酸素の注入された下部ゲート電極材領域を素子分離酸化膜601に変化させる。この結果上部ゲート電極401に自己整合的に下部ゲート電極602が形成される。また、素子分離が同時に完了する。このとき、単結晶シリコン素子領域301と下部電極物質202との間に形成されている下部ゲート熱酸化膜201が酸素の拡散を抑止し単結晶シリコン素子領域301が酸化されることを阻止する。また、酸化に伴い起こる体積膨張も、残存内部空洞への膨張が許されていることから大きな応力を発生させずに進行する。また、体積膨張に付随した下部ゲート電極602の寸法変化は、上部ゲート電極側部に側壁を形成し、酸素イオン注入領域を調節しこの変換差を利用して吸収することができることは明らかであろう。さらに絶縁体化したあとも内部空洞102を残存させることで素子全体をもっとも誘電率の小さい空洞で基板から分離することが可能となり、素子性能の高速化が見込める。

【0028】ついで、公知の手法のうち効果的な方法でソース/ドレイン領域303、304に所望の導電性不純物を注入し、ダブルゲートSOI-MOSFET構造が実現される。さらに公知の手法のうち効果的な方法で、層間絶縁膜、およびこれを貫き各電極にいたるコンタクトを形成する。このとき、ゲート電極へのコンタクトホール開口にさいしては、上部ゲート電極401を貫

9

通し、下部ゲート電極602にいたるまで加工を継続し、その後ここに金属物質を充填するだけで、従来の工程になにも付加的な工程を設けることなく上下ゲート電極の電気的接続が完了することに注意する。

【0029】これに引き続き、公知の技術を用いて、配線工程、実装工程などを経て、半導体装置を完成させる。

【0030】上記、実施例は、ポリシリコンに酸素を注入して得られるダブルゲートSOIMOSFETの製造方法を示したが、下部ゲート電極形成法はこれに限られるものではない。例えば、ポリシリコンにGeなどを注入しこの部分を選択的に除去しても下部電極の形成は可能であるし、Geの代わりにFを使ってchemical dry etchingのレートを増加させ下部ゲート電極を形成することも可能である。この場合下部電極以外の部分は空洞という絶縁体に変化したと考えることができる。

【0031】また、本手法を応用して、上部ゲート電極にダミーパターンを形成することで、下部電極材をもちいた埋め込み配線をダブルゲートSOIMOSFETと同時に形成することもできることをここに付記しておく。

【0032】

【発明の効果】以上、詳述してきた様に、本発明によれば、単結晶シリコン基板に微細なtrenchを多数形成しこれを水素雰囲気中で熱処理することで、シリコン基板内に用途の任意個数、任意形状の空洞、および、空洞の上部には薄い単結晶のシリコン層を形成しているので、複雑なSOI基板生成工程を経る必要がなく、結晶欠陥のない薄い単結晶シリコン層を必要領域に簡便に形成することが可能であり、SOI基板を用いることによるコスト上昇、結晶欠陥の混入を防止し、高い歩留まりを確保できる。

【0033】半導体装置内に複数の内部空洞を形成することが可能であり、さらに、bulk型MOSFETを同一基板上に混載することも可能である。

【0034】空洞に通じる穴を形成し、ここからCVD法などの方法で下部ゲート電極構成物質および下部ゲート絶縁膜を簡便に形成できる。この後素子領域の形成から上部ゲート電極の形成までは、従来の製造方法になんら工程を追加することなく遂行可能となる。よって従来に見られていた複雑な製造工程を排除できる。

【0035】空洞に至る開口部の寸法を調整して用途の厚さの下部ゲート電極構成物質が形成された時点でこの開口部が閉じられるようにしておけば、必要以上の膜厚が内壁面に形成されるのを防ぐことができる。CVD法の工程で均一性に問題があったとしてもこの影響を受けずにすむ。また、空洞に至る開口部を封止する手間も省ける。

【0036】また空洞は任意の形状に形成できるので、

10

個々の空洞の形状を調節して、その上部単結晶シリコン層に形成されるべき素子形状に応じて、この素子を用途の力学的強度で保持するように設計できる。また、任意の素子領域の形状に対応できる。

【0037】第一のゲート電極をマスク材として下部電極物質に酸素をイオン注入しこれを絶縁体化するため上部ゲート電極と自己整合的に下部ゲート電極が形成される。この結果、従来の製法で要求されるような高精度の上下ゲート電極間のalignmentは必要なくなる。

【0038】第一のゲート電極をマスク材として下部電極物質に不純物を導入しこれを絶縁体化することにより、下部ゲート電極の加工と素子分離が同時に完成される。

【0039】素子領域を形成するシリコン層は薄いのでこれを貫通して下部電極構成物質に不純物を導入することは容易である。

【0040】不純物導入に晒されている領域はソース／ドレイン領域であり、チャネル部分はこれに該当しないので不必要な結晶欠陥はチャネル部分には導入されない。よってチャネル部の高移動度を確保できる。

【0041】酸素の導入にあたり、若干の格子間酸素をソース／ドレイン領域に残存させることで転移の発生伝播を抑制できる。

【0042】下部ゲート電極構成物質を形成するにあつたて、内部空洞を埋め尽くさずにこの空洞を残存させることにより、下部電極構成物質が絶縁体に変性する（たとえばポリシリコンが酸化される）時に体積変化を伴うとしてもこの変化を内部空洞が吸収する。よって体積変化が上部シリコン層に歪を与えることを抑止できる。

【0043】下部ゲート絶縁膜として熱酸化膜を利用することにより酸素の拡散を抑止し単結晶シリコン素子領域が酸化されることを阻止するできる。

【0044】下部ゲート電極構成物質を形成するにあつたて、内部空洞を埋め尽くさずにこの空洞を残存させることにより、この空洞は低誘電率層として活用される。よって素子スピードの更なる向上が見込まれる。

【0045】下部ゲート電極は上部ゲート電極とコンタクト形成のための引き出し部分まで含めて同形状に加工される。このため上下ゲート電極の電気的接続は上部ゲート電極へのコンタクトホール形成時に下部ゲート電極に達するまでRIE加工を施せば自動的に完了する。

【0046】上部ゲート電極にダミーパターンを形成することで、下部電極材をもちいた埋め込み配線をダブルゲートSOIMOSFETと同時に形成することが可能である。

【図面の簡単な説明】

【図1】本発明の半導体装置製造法を説明する断面図を含む斜視図である。

【図2】本発明の半導体装置製造法を説明する断面図を

11

含む斜視図である。

【図 3】本発明の半導体装置製造法を説明する断面図を含む斜視図である。

【図 4】本発明の半導体装置製造法を説明する断面図を含む斜視図である。

【図 5】本発明の半導体装置製造法を説明する断面図を含む斜視図である。

【図 6】本発明の半導体装置製造法を説明する断面図を含む斜視図である。

【符号の説明】

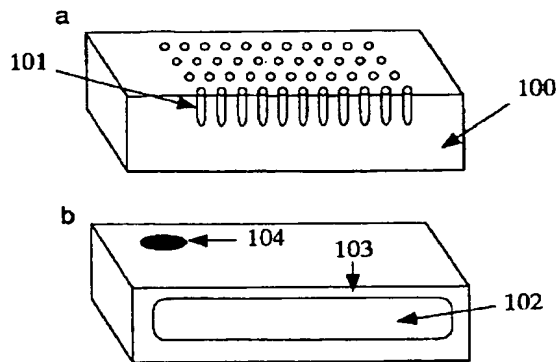
100 シリコン半導体基板

101 シリコン半導体基板に格子状に穿たれた微細トレンチ

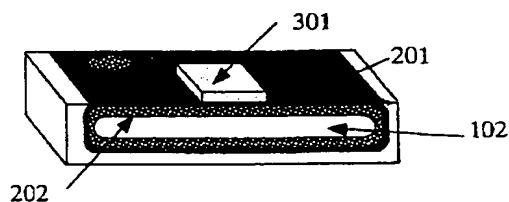
102 格子状に穿たれた微細トレンチを水素雰囲気中で熱処理することによって形成されたシリコン基板内空洞

103 シリコン基板内空洞上部を形成する薄い単結晶*

【図 1】



【図 3】



12

*シリコン層

201 下部ゲート絶縁膜として形成されたシリコン窒化膜

202 下部ゲート電極材として形成されたポリシリコン層

301 素子領域を形成する島状単結晶シリコン層

302 チャネル領域

302、303 ソース/ドレイン領域

401 上部ゲート電極をなすポリシリコン

10 402 上部ゲート電極上にマスク材として形成されたシリコン窒化膜

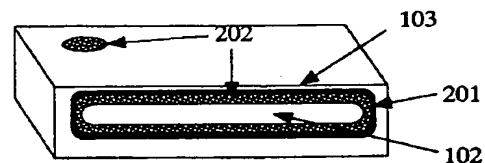
403 上部ゲート絶縁膜として形成されたシリコン窒化膜

501 酸素原子

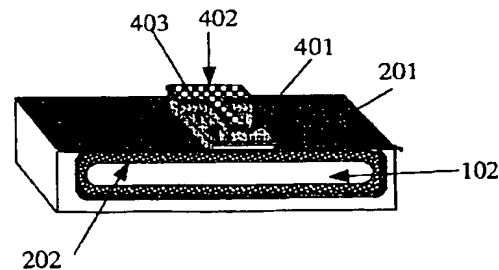
601 素子分離を形成するシリコン酸化膜

602 下部ゲート電極

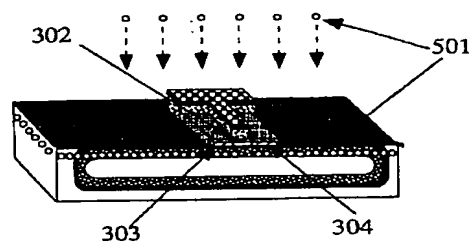
【図 2】



【図 4】



【図5】



【図6】

